

Versuch V10: Flip-Flops

Henri Menke* und Jan Trautwein†
 Gruppe 1-11 — Platz k
 (Betreuer: Boris Bonev)
 (Datum: 13. Januar 2014)

In diesem Versuch werden die Funktionen verschiedenartiger digitaler Schaltungen auf Basis von Flip-Flops untersucht. Damit werden auf Basis von JK-Flip-Flops grundlegende Schaltungen wie asynchrone 4-stufige Dual- und Dezimalzähler, sowie synchrone Dezimalzähler betrachtet. Abschließend wird mit JK-Flip-Flops ein Schieberegister realisiert und dessen Charakteristika analysiert.

INHALT

I. Grundlagen	1
A. Flip-Flop Schaltungen	1
1. RS-Flip-Flop	1
2. D-Latch	1
3. D- und T-Flip-Flop	2
4. JK-Flip-Flop	2
B. Zähler	2
1. Asynchroner Binärzähler	2
2. Synchroner Bitzähler	2
3. Schieberegister	3
II. Versuchsaufbau und -durchführung	3
A. JK-Flip-Flop	3
B. Zählerschaltungen	3
C. Schieberegister	4
III. Auswertung	4
A. JK-Flipflop	4
B. Zählerschaltungen	4
1. Modulo-10-Zähler	5
2. 4-bit synchroner Dualzähler	5
C. Schieberegister	6
IV. Zusammenfassung	6
A. JK-Flipflop	6
B. Zählerschaltungen	6
C. Schieberegister	6
Literatur	6

I. GRUNDLAGEN

A. Flip-Flop Schaltungen

Flip-Flops sind getaktete digitale Schaltungen. Die Ausgänge der logischen Bauelemente sind auf die Eingänge rückgekoppelt, sodass das Ausgangssignal nicht nur vom

Eingangssignal, sondern auch von vorherigen Eingangssignal abhängt. Es lässt sich also Information speichern (1 Bit).

1. RS-Flip-Flop

Eine einfache Flip-Flop-Schaltung ist der RS-Flip-Flop, wie in Abbildung 1 dargestellt. „RS“ deshalb, weil R für **reset** und S für **set** steht.

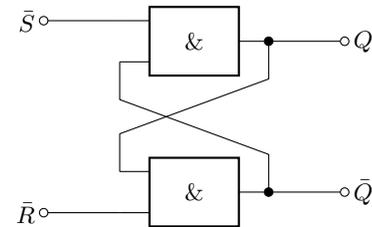


ABB. 1. Schaltbild eines RS-Flip-Flops

Für $\bar{R} = \bar{S}$ nehmen die Ausgänge entweder die Zustände 1 oder 0 an. \bar{Q} ist immer im inversen Zustand zu Q gesetzt. Setzt man R oder S , so nimmt der Ausgang den entsprechenden Zustand an. Für $R = S = 0$ wird der alte Zustand gespeichert. Für $S = R = 1$ wird $Q = \bar{Q} = 1$ gesetzt (was wenig sinnvoll ist). In Tabelle I sind alle Beschaltungen nochmals aufgeführt.

\bar{R}	\bar{S}	Q_{alt}	Q	\bar{Q}	Vorgang
0	1	×	0	1	set
1	0	×	1	0	reset
1	1	1	1	0	speichern
1	1	0	0	1	speichern
0	0	×	1	1	race condition

TAB. I. Zustandstabelle eines RS-Flip-Flops.

2. D-Latch

Eine Erweiterung des RS-Flip-Flops stellt der D-Latch dar. Durch die beiden vorgeschalteten NAND-Gatter kann

* henrimenke@gmail.com

† jan.manuel.trautwein@web.de

die beim RS-Flip-Flop beschriebene *race condition* verhindert werden. In Abbildung 2 ist ein Schaltbild eines D-Latch skizziert.

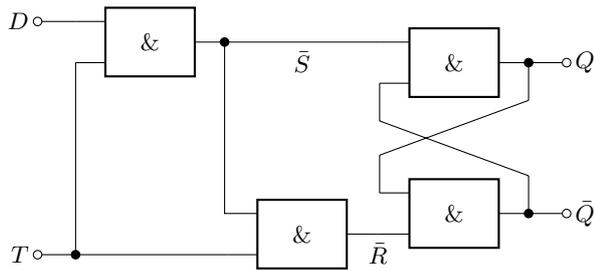


ABB. 2. Schaltbild eines D-Latch.

3. D- und T-Flip-Flop

Meist ist es von Vorteil den Zustand in regelmäßigen Abständen zu speichern, anstatt ihn durch ein Eingangssignal zu triggern. Durch eine Flankensteuerung mit einem Taktsignal T übernimmt der Flip-Flop den D -Wert nur, wenn sich T in der absteigenden Flanke befindet (D -Flip-Flop).

Beim T -Flip-Flop hingegen schwankt Q mit der aktiven Flanke zwischen 0 und 1 (*toggle*). Ein Rückkopplung von \bar{Q} auf D bewirkt dies.

4. JK-Flip-Flop

Diese Art Flip-Flop wird im Versuch verwendet. Im Unterschied zu RS-Flip-Flops, die pegelgesteuert sind, sind JK-Flip-Flops flankengesteuert.

Der JK-Flip-Flop verfolgt das sogenannte *Schleusenprinzip*. Die erste Gatterschicht schleust Zustände nur dann ein, wenn $T = 1$ steht. Die zweite Gatterschicht lässt nur für $T = 0$ Zustände passieren. Dadurch wird der darauf folgende RS-Flip-Flop wieder durch die Eingänge \bar{R} und \bar{S} gesteuert. Die Zustände sind nochmals in Tabelle II aufgelistet.

J	K	Q_{alt}	R	S	Q	Funktion
0	0	0	0	0	Q_{alt}	speichern
0	0	1	0	0	Q_{alt}	speichern
1	0	0	0	1	1	D-FF
1	0	1	0	0	1 (Q_{alt})	D-FF
0	1	0	0	0	0 (Q_{alt})	D-FF
0	1	1	1	0	0	D-FF
1	1	0	0	1	1 (\bar{Q}_{alt})	T-FF
1	1	1	1	0	0 (\bar{Q}_{alt})	T-FF

TAB. II. Zustandstabelle eines JK-Flip-Flops.

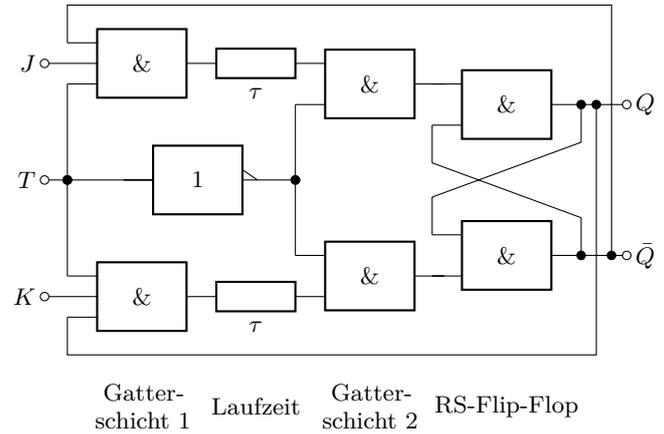


ABB. 3. Schaltbild eines JK-Flip-Flops

B. Zähler

Aus Flip-Flops lassen sich Schaltungen bauen, die die Eingangsimpulse binär summieren. Diese sind meist aus T- oder JK-Flip-Flops aufgebaut.

1. Asynchroner Binärzähler

Ein *Asynchronzähler* besteht aus in Reihe geschalteten T-Flip-Flops. Bei jedem der N Flip-Flops verzögert sich das Signal um das n -fache. Daher liegen an den Ausgängen gerade die Bits einer Dualzahl an. Ein schematischer Aufbau ist in Abbildung 4 dargestellt.

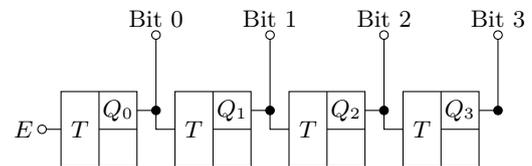


ABB. 4. Aufbau eines Asynchronzählers.

Durch die endliche Laufzeit des Signals durch die Schaltung zeigt der Asynchronzähler für die Zeitspanne $N \cdot \tau$ die falsche Binärzahl an, wobei τ die Laufzeit pro Gatter und N die Anzahl der Gatter darstellt. Mit zunehmender Taktfrequenz wächst also die Anzahl der falschen Zählcodes (prozentual). Der Zähler ist also für hohe Taktfrequenzen unbrauchbar.

2. Synchroner Bitzähler

Für hohe Taktfrequenzen eignet sich der in Abbildung 5 dargestellte Synchronzähler besser. Die einzelnen JK-Flip-Flops sind synchron mit dem Eingangssignal getaktet.

Erinnern wir uns an Tabelle II. Dort wird gezeigt, dass der JK-Flip-Flop für $J = K = 0$ seinen Wert hält und

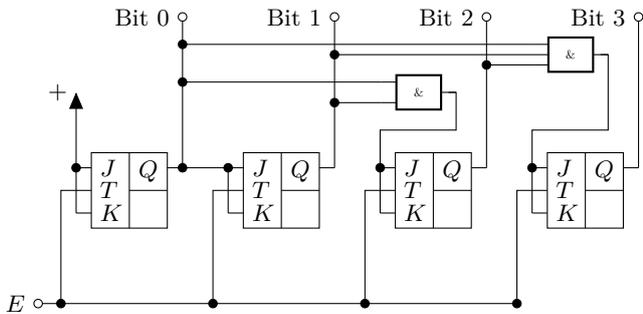


ABB. 5. Aufbau eines 4-Bit Synchronzählers mit JK-Flip-Flops.

für $J = K = 1$ invertiert. Durch die AND-Gatter werden also alle Zählerstufen solange gehalten, bis sie alle auf 1 stehen. Es können nun Impuls gezählt werden, wie mit dem Asynchronzähler, mit dem Unterschied, dass sich keine falschen Zwischenzustände einstellen.

3. Schieberegister

Aus einer Kaskade an D-Flip-Flops lässt sich ein Schieberegister realisieren. In Abbildung 6 sind die JK-Flip-Flops so verschalten, dass die Bedingung $\bar{J} = K$ erfüllt ist und sie als D-Flip-Flops arbeiten.

Bei aktiver Taktflanke übernimmt der nachfolgende Flip-Flop immer den Zustand des vorangehenden, der erste nimmt den Eingangszustand an. Solche Schieberegister arbeiten als FIFO-Speicher (first in, first out), da das erste Bit, das am Anfang eingegeben wird auch am Ende als erstes „herunterfällt“.

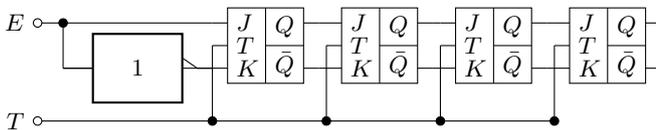


ABB. 6. Schieberegister

Zu den wichtigsten Anwendungen des Schieberegisters gehören:

Buffer: Verbindet man Ein- und Ausgang miteinander, so können so viele Bits, wie JK-Flip-Flops vorhanden sind gespeichert werden. Trennt man die Verbindung wieder, so können sie ausgelesen werden.

Serialisierung und Parallelisierung von Bitmustern:

Möchte man parallele Bitmuster serialisieren, so muss jedes Flip-Flop über einen Lade-Eingang verfügen, um das Bitmuster seriell zu laden. Zur Parallelisierung von seriellen Bitmustern muss jedes Flip-Flop eine lesbare Ausgang besitzen, damit zur Zeit τ alle Flip-Flops des Schieberegisters gleichzeitig ausgelesen werden können.

Bitshift in Maschinensprachen: Maschinensprachen wie *Assembler* verfügen über einen Shift-Befehl auf den Registern. Dadurch wird es schneller Integer zu multiplizieren, indem man beide Register shiftet und dann addiert.

Erzeugung von Pseudozufallszahlen: Mit Hilfe von linear rückgekoppelten Schieberegistern können Pseudozufallszahlen erzeugt werden. Dazu rückkoppelt man zwei Ausgänge über ein XOR-Gatter. So lassen sich Zyklen zufälliger Länge erzeugen, die die Länge eines einfacher Zyklus weit überragen. Die Zyklenlänge T muss jedoch kleiner als $2^{\#JK\text{-FF}}$ bleiben, denn danach wiederholt sich die Zahlenfolge.

II. VERSUCHSAUFBAU UND -DURCHFÜHRUNG

A. JK-Flip-Flop

Ziel des ersten Versuchsteils ist eine Funktionstabelle des JK-Flip-Flops 74LS107 zu ermitteln. Dieser wird nach Abbildung 7 aufgebaut. Die Eingänge J, T, K und Clear werden mit dem Tastermodul, der Ausgang mit dem LED-Modul verbunden. Alle acht Kombinationen an Eingangszuständen werden durchgegangen und die zugehörigen Ausgangszustände notiert, um so eine Funktionstabelle zu erhalten. Durch Halten und Loslassen des Taster kann zudem ermittelt werden, ob die Zustandsänderung beim Drücken oder Loslassen des Tasters erfolgt. Um das Flip-Flop betriebsbereit zu machen muss der Clear Eingang auf V_{CC} geschlossen werden, um es zurückzusetzen.

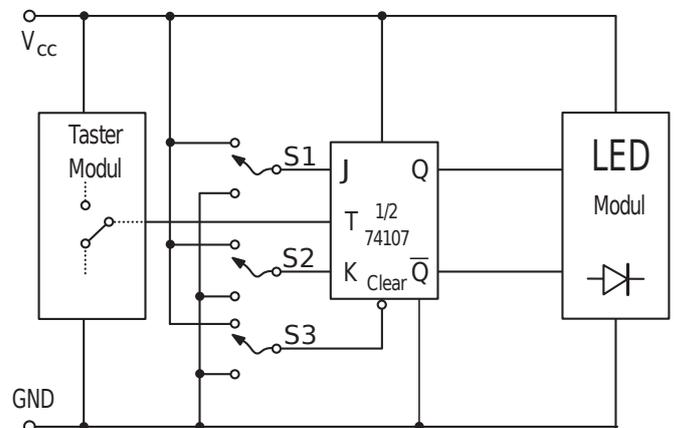


ABB. 7. Schaltbild zum Versuchsteil Funktionsweise eines JK-Flip-Flops, aus [1, S. 1].

B. Zählerschaltungen

Zunächst wird ein asynchroner 4-Bit-Zähler nach der Schaltung in Abbildung 8 aufgebaut. Für die JK-Flip-Flops werden die ICs 74LS107 und 74107 verwendet. Am

Ausgang werden wechselweise das LED-Modul oder die 7-Segment-Anzeige angeschlossen. Am T -Eingang wird mit einem Taster von Hand der Takt vorgegeben.

Nach Überprüfung auf korrekte Funktionsweise wird der T -Eingang mit dem Sync-Ausgang des Funktionsgenerators verbunden und eine Ausgangsfrequenz von 8 MHz eingestellt. Mit Hilfe des Oszilloskops werden die Signale am Takteingang T und an den Flip-Flop-Ausgängen Q_A bis Q_D aufgenommen. Das Oszilloskop wird mit dem Signal an Ausgang D getriggert.

Verbindet man die Ausgänge B und D mit den Eingängen eines NAND-Gatters und legt alle $Clear$ -Eingänge auf den Ausgang des NAND-Gatters, so erhält man einen Modulo-10-Zähler.

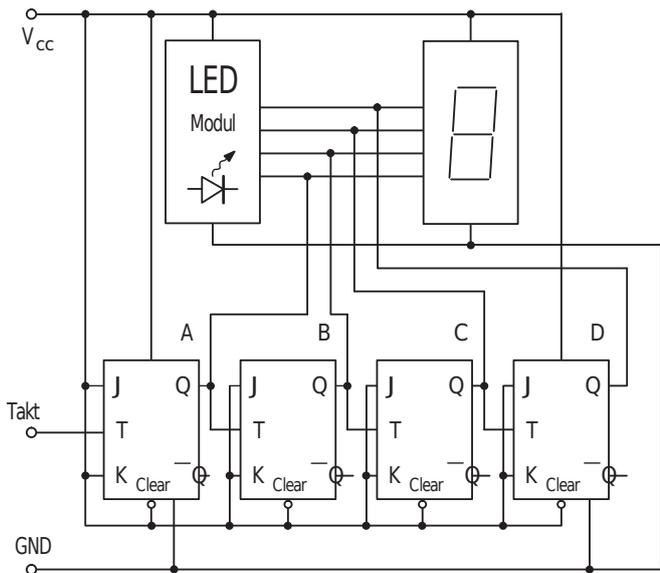


ABB. 8. Schaltbild eines asynchronen 4-Bit-Zählers, aus [1, S. 2].

Mit dem IC 74191 wird nach dem Schaltbild in Abbildung 9 ein synchroner 4-Bit-Zähler aufgebaut. Der Takt am Eingang T wird wiederum durch den Sync-Ausgang des Signalgenerators vorgegeben. Der Signalverlauf an den Ein- und Ausgängen wird wieder mit dem Oszilloskop beobachtet. Dabei wird CH1 entweder auf T oder auf Q_A gelegt und CH2 nacheinander auf Q_B , Q_C und Q_D .

C. Schieberegister

Nach dem Schaltbild in Abbildung 10 wird eine Schieberegister aus den zwei ICs 74107 aufgebaut, die je einen JK-Flip-Flop beinhalten. Mit Hilfe eines TTL-NAND-Gatters wird K_A gegenüber J_A negiert.

Das Eingangssignal wird durch einen Taster vorgegeben. Schreibt man mit dem Taster eine 1 ins erste Register, so wird dieser Zustand durch das Register geschoben. Schließt man nun den Ausgang des letzten Registers an den Eingang des ersten an und setzt den Taster wieder

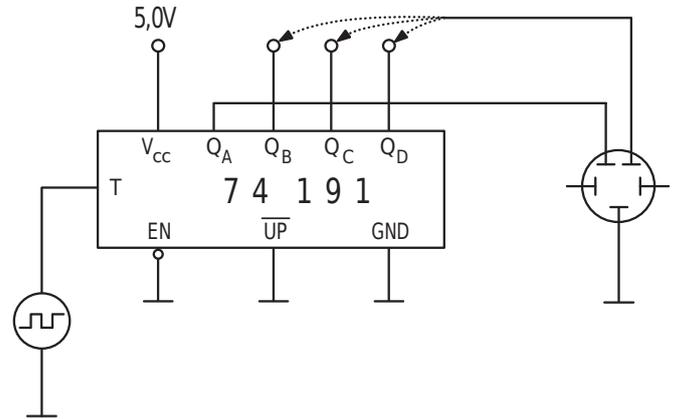


ABB. 9. Schaltbild eines synchronen 4-Bit-Zählers, aus [1, S. 3].

auf 0, so erhält man ein zyklisches Register.

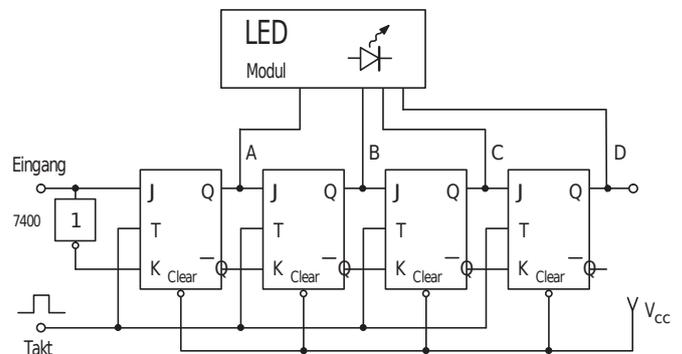


ABB. 10. Schaltbild eines Schieberegisters, aus [1, S. 4].

III. AUSWERTUNG

A. JK-Flipflop

Für den aufgebauten JK-Flipflop ergibt sich genau die erwartete Funktionstabelle II, wie in dem Grundlagenteil zu sehen. Es wurde beobachtet, dass sich der Zustand bei der negativen Flanke des Taktsignals ändert. Wenn $J = K = 1$ ist arbeitet die Schaltung als T-Flipflop, eine solche Schaltung kann als Frequenzhalbierer verwendet werden. Außerdem kommt sie als Grundelement in asynchronen digitalen Zählern vor.

B. Zählerschaltungen

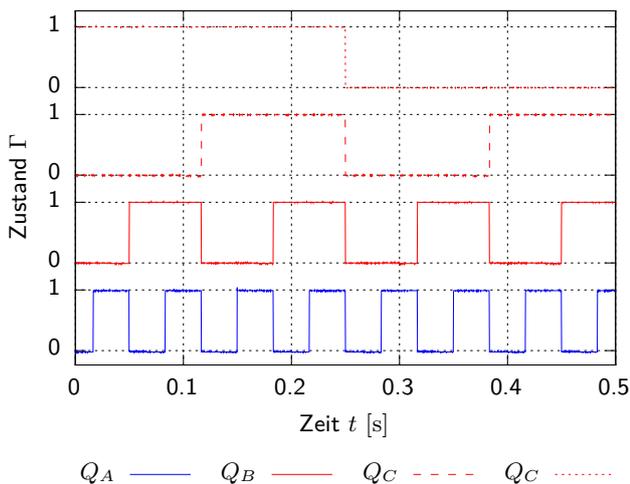
In Tabelle III sind die ersten 16 Taktschritte des asynchronen Zählers zu sehen. Nach dem 15ten Takt befindet sich der Zähler wieder im Anfangszustand mit der Dezimalzahl 0. Mit einem weiteren angehängten JK-Flipflops könnte man bis 31 zählen, hat man nur 4 JK-Flipflops in

Takt	D	C	B	A	Dezimalzahl
0	0	0	0	0	0
1	0	0	0	1	1
2	0	0	1	0	2
3	0	0	1	1	3
4	0	1	0	0	4
5	0	1	0	1	5
6	0	1	1	0	6
7	0	1	1	1	7
8	1	0	0	0	8
9	1	0	0	1	9
10	1	0	1	0	10
11	1	0	1	1	11
12	1	1	0	0	12
13	1	1	0	1	13
14	1	1	1	0	14
15	1	1	1	1	15
16	0	0	0	0	0

TAB. III. Messwerte des 4-stufigen Binärzählers.

der Schaltung beginnt man nach dem 15ten Takt an, von vorne zu zählen.

Nun wird zur Takterzeugung der Sync-Ausgang des Funktionsgenerators mit einer Frequenz von $\nu = 30$ Hz verwendet. Am Oszilloskop wird nacheinander der Zustandsverlauf an den Ausgängen Q_A, Q_B, Q_C, Q_D (siehe ABB. 9) gemessen, dieser Plot sieht für den synchronen und asynchronen Zähler gleich aus. Man kann in ABB. 11 deutlich erkennen, wie die Frequenz nach jedem JK-Flipflop halbiert wird. Da die Frequenz nach dem letzten JK-Flipflop, also am Ausgang Q_D am größten ist, eignet sich dieser am Besten als Trigger für das Oszilloskop. Denn triggert man mit höherer Frequenz, so werden Signale mit niedrigerer Frequenz nicht mehr sauber aufgelöst.

ABB. 11. Pulsverlauf des Synchronzählers bzw. Asynchtanzählers an den Ausgängen Q_A bis Q_D (vgl. Abbildung 9).

In ABB.12 ist der Spannungsverlauf der vier Ausgänge bei einer höheren Zeitaufösung und zusammen mit dem Taktsignal geplottet. Hier kann man erkennen, dass die JK-Flipflops bei der negativen Flanke des Taktsignals schalten. Aus den Messdaten geht eine Schaltverzögerung zwischen Taktsignal und Ausgang Q_D von $\tau \approx 88$ ns hervor. Die Schaltverzögerung pro Flipflop beträgt also $\frac{\tau}{4} \approx 22$ ns. Damit ergibt sich für diesen 4-stufigen Binärzähler eine Grenzfrequenz von $f_g = \frac{1}{\tau} \approx 11.4$ MHz. Ab dieser Frequenz würde der erste Flipflop seinen Zustand ändern, bevor der vorherige Puls eine Änderung des letzten Flipflops bewirkt hätte. Somit würde der Zähler zu keinem Zeitpunkt den richtigen Wert anzeigen.

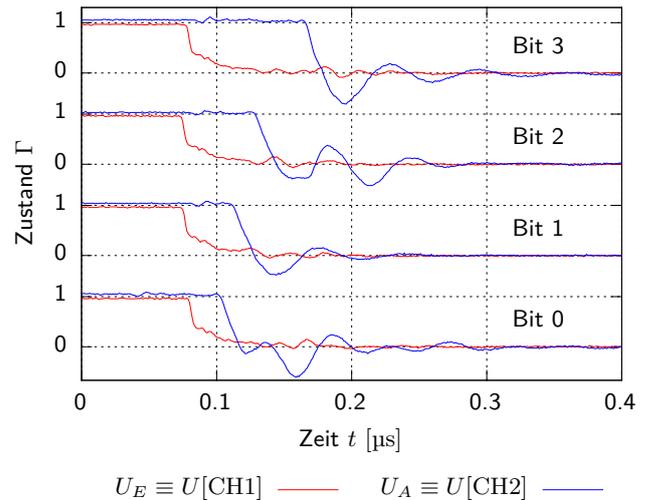


ABB. 12. Pulsverlauf des Asynchronzählers an der abfallenden Flanke. Man erkennt klar die Zunahme der Laufzeit zwischen Eingangs- und Ausgangssignal mit steigendem Bit.

1. Modulo-10-Zähler

Einen dekadischen Zähler bekommt man, indem man anstatt die Versorgungsspannung das 1te und 3te Bit über ein NAND-Gatter mit der Clear-Leitung verbindet. Sobald das 1te und 3te Bit gesetzt sind, also die Dezimalzahl 10 erreicht ist, werden die JK-Flipflops „gecleart“ und der Zählvorgang startet von vorne.

2. 4-bit synchroner Dualzähler

Es wird ein 4-bit-Dualzähler als fertiges Bauteil untersucht. Im Gegensatz zum asynchronen Zähler werden beim synchronen Zähler alle JK-Flipflops gleichzeitig getriggert. In ABB. 11 ist dessen Zustandsverlauf zu sehen, wie auch beim asynchronen Zähler wird die Frequenz nach jedem JK-Flipflop halbiert. Dem Timing Diagramm des Datenblatts kann entnommen werden, dass der synchrone

4-bit-Dualzähler im Gegensatz zum asynchronen Zähler *positiv* flankengetriggert ist.

C. Schieberegister

Die Verschiebung der 1 beim Schieberegister entspricht der arithmetischen Operation „mit 2 multiplizieren“ bzw. „durch 2 teilen“ (bei umgekehrter Richtung). Dies gilt natürlich nur bis zum letzten Bit, da dieses seine Information nicht weitergeben kann und diese somit verloren geht.

Diesen Effekt kann man verhindern, indem man nach dem Einschreiben in das Register den Ausgang Q_4 mit dem Eingang verbindet. Dann werden die 4 gespeicherten Bits auf unbegrenzte Taktzahl durch das Schieberegister gegeben. In dieser Betriebsweise spricht man von einem zyklischen Schieberegister.

IV. ZUSAMMENFASSUNG

A. JK-Flipflop

Es konnte die von der Theorie vorausgesagte Funktionstabelle gemessen werden. Bei $J = K = 1$ arbeitet das JK-Flipflop wie ein T-Flipflop. Für $J = K = 0$ wird der Zustand beibehalten. Außerdem wurde beobachtet, dass das JK-Flipflop *negativ* flankengetriggert ist.

B. Zählerschaltungen

Der 4-stufige Binärzähler zeigt nach 15 Taktpulsen den Wert 0000 an, da er die Zahl 16 (Binär: 10000) nicht mehr

anzeigen kann. Als Laufzeit eines JK-Flipflops wurden 22 ns gemessen. Damit gab sich als Grenzfrequenz $\nu_g \approx 11.4$ MHz. Ab dieser Frequenz kann der Zähler zu keinem Zeitpunkt den richtigen Wert darstellen. Außerdem wurde festgestellt, dass nach jedem JK-Flipflop die Frequenz halbiert wird.

Durch den Einbau eines NAND-Gatters konnte der Modulo-16 Zähler in ein Modulo-10 Zähler umgebaut werden.

Der anschließend untersuchte synchrone 4-bit-Dualzähler ist im Gegensatz zum asynchronen Zähler *positiv* flankengetriggert. Bei ihm tritt auch nach jedem Flipflop eine Frequenzhalbierung auf. Da hier jedoch keine Laufzeitverschiebung auftritt, ist dieser Zähler vor allem für größere Frequenzen geeignet.

C. Schieberegister

Auch das Schieberegister gehorchte der Theorie. Es konnte beobachtet werden, wie eine binäre 1 bei jedem Takt um eine Position weitergeschoben wird, bis sie bei 4. Takt aus dem Register fällt und damit gelöscht ist. Will man Informationen länger speichern, kann man den Ausgang mit dem Eingang des Schieberegisters verbinden, sodass die Bits für unbegrenzte Dauer zyklisch durch das Register geschoben werden.

[1] *Versuchsanleitung*, Universität Stuttgart (2013).